

09/926281

410 PCT/PTO 05 OCT 2001

DOCKET NO.: 214505US8PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuichi WATANABE

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP01/00885

INTERNATIONAL FILING DATE: February 8, 2001

FOR: APPARATUS AND CIRCUIT FOR POWER SUPPLY, AND APPARATUS FOR
CONTROLLING LARGE CURRENT LOAD*#3
Priority
Citation
4-4-02***REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION**Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In the matter of the above-identified application for patent, notice is hereby given that
the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2000-031231	08 February 2000
Japan	2000-102485	04 April 2000
Japan	2000-102486	04 April 2000

Certified copies of the corresponding Convention application(s) were submitted to the
International Bureau in PCT Application No. **PCT/JP01/00885**.Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.*Surinder Sachar*Gregory J. Maier
Attorney of Record
Registration No. 25,599
Surinder Sachar
Registration No. 34,423

22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 1/97)

09/026281

PCT/JPG1/00885

08.02.01

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

REC'D 30 MAR 2001

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月 4日

出 願 番 号

Application Number:

特願2000-102485

出 願 人

Applicant (s):

古河電気工業株式会社

Handwritten:
#3
Priority
L. H. Gibson
4-4-02

**PRIORITY
DOCUMENT**

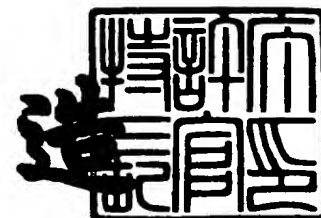
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

PRIORITY

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3018381

【書類名】 特許願

【整理番号】 990358

【提出日】 平成12年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H02J 1/00

【発明者】

 【住所又は居所】 東京都千代田区丸の内2丁目6番1号 古河電気工業株式会社内

 【氏名】 渡辺 勇一

【特許出願人】

 【識別番号】 000005290

 【氏名又は名称】 古河電気工業株式会社

【代理人】

 【識別番号】 100106378

 【弁理士】

 【氏名又は名称】 宮川 宏一

 【電話番号】 03-3459-7521

【手数料の表示】

 【予納台帳番号】 052489

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項1】 トランスを有し、該トランスの1次巻き線に印加される電圧をオン／オフ制御することによって、前記トランスの2次巻き線側に安定化された電源電圧を供給する電源回路において、

前記トランスの1次巻き線に接続され、ゲート信号によってオン／オフ制御されるGaN-FETを備えたことを特徴とする電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ガリウムナイトライトー電界効果トランジスタ（以下、「GaN-FET」という）を用いたスイッチング電源の電源回路に関する。

【0002】

【関連する背景技術】

従来、この種の電源回路は、例えば自動車用、各種民生危機（ビデオ、テレビ、オーディオなど）や産業機器（パソコン、通信機器、FA用制御機器など）に適用されている。

上記電源回路は、トランスを有しており、上記トランスの1次巻き線に接続された例えばパワーMOS系の素子からなるトランジスタがゲート信号に応じてオン、オフ動作することによって、2次巻き線側に出力電圧が発生していた。

【0003】

【発明が解決しようとする課題】

ところが、上記電源回路では、トランジスタとして用いられるパワーMOS系の素子、例えばパワーMOS-FET（2SK2313）は、発熱が大きいので、放熱設計を正確に行う必要がある。すなわち、周囲温度85℃でのパワーMOS-FET自立のチャネル温度 $T_{ch\ max}$ を計算すると、

$$\begin{aligned} T_{ch\ max} &= T_{a\ max} + P_{total} \times R_{th\ (ch-a)} \\ &= 85^{\circ}\text{C} + 2\text{W} \times 50^{\circ}\text{C}/\text{W} \end{aligned}$$

$$= 185^{\circ}\text{C}$$

ここで、 $T_{a \max}$: 周囲温度

P_{total} : 全損失

$R_{th}(ch-a)$: チャネルー周囲間の熱抵抗

となり、チャネル温度以上まで温度上昇する。従って、放熱板を設ける必要がある。放熱板設計は、チャネル温度 150°C に対して、ディレーティングを 50°C に考えるとすると、

$$\begin{aligned} \theta_f &< \theta_{ch-a} - (\theta_i + (\theta_c + \theta_s)) \\ &= 7.5^{\circ}\text{C}/\text{W} - (0.833^{\circ}\text{C}/\text{W} + 0.8^{\circ}\text{C}/\text{W}) \\ &= 5.9^{\circ}\text{C}/\text{W} \end{aligned}$$

ここで、 θ_f : 放熱器熱抵抗

θ_{ch-a} : チャネルー周囲間の全熱抵抗

θ_i : 接合部ーケース間熱抵抗 (内部熱抵抗)

$\theta_c + \theta_s$: ケースー放熱器間の熱抵抗

となる。以上より、放熱器は熱抵抗 $5.9^{\circ}\text{C}/\text{W}$ 以下のものを選択する必要がある。このために、例えば 1mm 厚のアルミニウム板 100cm^2 の放熱板が必要となる。

【0004】

従って、従来の電源回路では、この放熱板のために回路構成が大きく、かつ重くなるという問題点があった。

本発明は、上記問題点に鑑みなされたもので、トランジスタの発熱を小さくして放熱板を不要とし、回路の小型、軽量化を図ることができる電源回路を提供することを目的とする。

【0005】

【課題を解決するための手段】

上記目的を達成するため、本発明では、トランスを有し、該トランスの1次巻き線に印加される電圧をオン／オフ制御することによって、前記トランスの2次巻き線側に安定化された電源電圧を供給する電源回路において、前記トランスの1次巻き線に接続され、ゲート信号によってオン／オフ制御される Ga N-FE

Tを備えた電源回路が提供される。

【0006】

すなわち、スイッチング素子であるトランジスタを発熱の小さいGaN-FETで構成させることにより、専有面積が大きく、かつ重量のある放熱板を不要とした。

【0007】

【発明の実施の形態】

本発明に係る電源回路の回路構成の一実施形態を図1乃至図4の図面に基づいて説明する。

図1において、電源回路は、例えばスイッチング電源回路（1石フォワード型）であり、入力電圧 E_{in} が印加されるトランスT1と、トランスT1の1次巻き線に接続されるGaN-FET11と、トランスT1の1次巻き線と並列に接続される電解コンデンサC1と、トランスT1の2次巻き線に接続されるダイオードD1及びコイルL1と、トランスT1の2次巻き線と並列に接続されるダイオードD2及び電解コンデンサC2とから構成されており、2次巻き線側には巻き線比によって電圧 E_2 が発生している。

【0008】

GaN-FET11は、例えば図2に示すように、半絶縁性のサファイア基板11aの上に、GaNバッファ層11bを積層し、その上に半絶縁性のGaN層11c及びn型AlGaN層11dを順次積層し、さらにn型AlGaN層11dの表層部中央の一部にInとC又はMgがドーピングされた拡散層11eが形成され、拡散層11e上にゲートGの電極が装荷されている。

【0009】

また、n型AlGaN層11dの表層部の他の部分には、n型GaN層11fが積層されている。n型AlGaN層11dの表層部の他の部分のうち、一方のn型GaN層11f上には、ソースSの電極が装荷され、他方のn型GaN層11fには、ドレインDの電極が装荷されている。これらゲートG、ソースS、ドレインDの各電極以外の部分は、SiO₂の絶縁膜11gで被覆されている。

【0010】

図2に示したGaN-FET11の各半導体層は、GaN系化合物半導体によって形成され、MOCVD法或いはMBE法などのエピタキシャル結晶成長法を用いて成膜される。GaN系化合物半導体とは、GaN、AlGaN、InGaN、InAlGaN、InGaNAs、InGaNpなどの総称である。

GaN-FET11のゲートにゲート信号（例えば100kHz）が入力すると、GaN-FET11は、ゲート信号に応じてオン/オフ動作をする。この時に、トランスT1では、1次巻き線に入力電圧 E_{in} が加わり、2次巻き線側には巻き線比によって電圧 E_2 が発生する。

【0011】

ここで、1次巻き線と2次巻き線の比を $N1:N2$ とすると、電圧 E_2 は、

$$E_2 = (N2/N1) \times E_{in}$$

となる。この時、ダイオードD1には、正方向の電圧が与えられることにより電流 I_s が流れ、この電流 I_s はコイルL1を通して電解コンデンサC2を充電するため、出力電圧として E_o を出力する。同時にコイルL1に流れた電流によってコイルL1内部にエネルギーが蓄えられる。

【0012】

図3に示すように、GaN-FET11がオン期間を過ぎてオフすると、トランスT1を通して1次巻き線側からの電力の伝達がなくなり、今度はコイルL1に逆極性の電圧が発生する。いままでコイルL1に蓄えられていたエネルギーによる逆起電力である。この逆起電力によって、ダイオードD2を通してさらに電解コンデンサC2を充電するような電流が流れる。なお、電解コンデンサC1は、平滑コンデンサであり、常にフラットな電圧波形をトランスT1に入力するように動作する。

【0013】

このように、電源回路においては、全期間に渡ってコンデンサC2を充電する電流が流れ続ける。

ところで、GaN-FET11のゲートには、負荷電流をモニタして、負荷変動によりGaN-FET11のオン/オフ制御時間を変更して、安定した出力を得る安定化回路を用いて制御しても良い。

【0014】

次に、GaN-FET11を用いた回路設計について説明する。従来、このような回路設計を行う場合には、FETの放熱設計を正確に行う必要があり、このために設計時間が長くなったり、またプリント基板へのレイアウトなども考慮する必要があり、レイアウトの自由度が限られていた。これにともない近年では、FETの放熱設計の簡素化、短縮化が望まれていた。

【0015】

これに対して、図1に示した本実施形態では、最大で30Aの出力電流を得るわけであるから、トランスT1に流れる電流 $I_{t\max}$ は、

$$I_{t\max} = (N2/N1) \times I_{s\max}$$

で求められる。ここで、トランスT1の比 $N1:N2=3:1$ 、リップル電流を出力電流 I_o の30%とすると、電流 $I_{s\max}$ は、

$$I_{s\max} = I_o \times 1.15$$

であるから、

$$I_{t\max} = (1/3) \times 30 \times 1.15 = 11.5 \text{ A}$$

の電流をGaN-FETでオン/オフ駆動する必要がある。

【0016】

次に、図4に示すスイッチング波形より全損失 P_{total} は、次式により求めることができる。

$$P_{total} = P_{s(on)} + P_c + P_{s(off)}$$

$$P_{s(on)} = V_{DSmax} \times I_L \times t_r \times f / 6$$

$$P_c = R_{DS(on)} \times (I_L + I_p)^2 \times T_{on} \times f / 2$$

$$P_{s(off)} = V_p \times I_p \times t_f \times f / 6$$

但し、 $P_{s(on)}$ ：ターン・オン損失

P_c ：導通損失

$P_{s(off)}$ ：ターン・オフ損失

V_{DSmax} ：ドレイン-ソース間電圧

I_L ：最小ドレイン電流

t_r ：ターンオン時間

f : 周波数

$R_{DS(on)}$: オン抵抗

I_p : 最大ドレイン電流

T_{on} : オン時間

V_p : サージ電圧

t_f : ターンオフ時間

例えば、 $V_{DSmax}=50V$ 、 $t_r=t_f=50ns$ 、 $f=100kHz$ 、 $R_{DS(on)}=0.013/100$ 、 $I_L=10A$ 、 $I_p=11.5A$ 、 $T_{on}=4.9\mu s$ 、 $V_p=60V$ とすると（図4参照）、

$$P_{s(on)}=0.4W$$

$$P_c=0.01W$$

$$P_{s(off)}=0.57W$$

となる。よって、 P_{total} は、

$$P_{total}=0.4+0.01+0.57=0.98W$$

の損失となる。

【0017】

GaN-FETのチャネル温度 T_{chmax} は、

$$T_{chmax}=T_{amax}+P_{total}\times R_{th(ch-a)}$$

$$=85^{\circ}C+0.98W\times 50^{\circ}C/W$$

$$=129^{\circ}C$$

となり、30Aを出力する電源回路を構成しても、FETの発熱量は小さく、かつ高温動作が可能な（500℃以上の安定動作）GaN-FETを使用しているため、チャネル温度に対して十分なディレーティングを放熱板無しに構成することが可能となる。

【0018】

このように、本実施形態では、従来のパワーMOS系の素子と比べてオン抵抗 R_{nmax} が小さく、高温動作が可能なGaN-FETを用いることで、トランジスタが発熱しなくなり、従来のトランジスタと同じ動作ができ、かつ放熱板が不要となり、このために製作コストの削減、放熱板の加工費の削減及びECUの小

型化が図られる。

【0019】

また、本実施形態では、電源回路の放熱設計が簡素化でき、また回路パターン設計が容易となるため、ECUの設計時間が短縮できる。

本発明は、これら実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変形実施が可能である。本実施形態では、スイッチング電源回路の一例として、1石フォワード型について説明したが、本発明はこれに限らず、例えばチョップ方式、RCC方式及びフライバック方式の電源回路に適用することも可能である。

【0020】

【発明の効果】

以上説明したように、本発明では、電源回路のスイッチング素子に発熱の小さいGaN-FETを用いるので、スイッチング素子の発熱を小さくして放熱板を不要とし、電源回路の小型、軽量化を図ることができる。

【図面の簡単な説明】

【図1】

本発明に係る電源回路の構成の一例を示す回路図である。

【図2】

図1に示したGaN-FETの一実施形態を示す構成図である。

【図3】

コイルL1の電流とGaN-FET11のオン/オフ動作との関係を示す波形図である。

【図4】

図1に示したトランスの1次側の電流-電圧の波形を示す波形図である。

【符号の説明】

11 GaN-FET

C1, C2 電解コンデンサ

T1 トランス

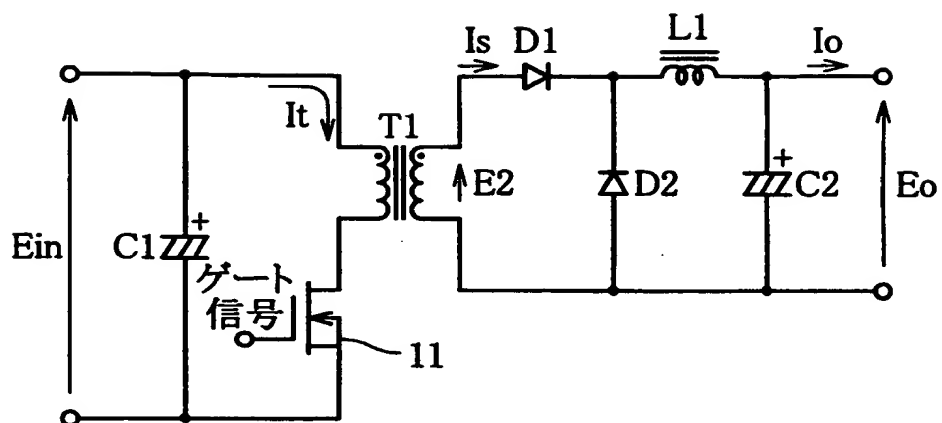
D1, D2 ダイオード

特 2 0 0 0 - 1 0 2 4 8 5

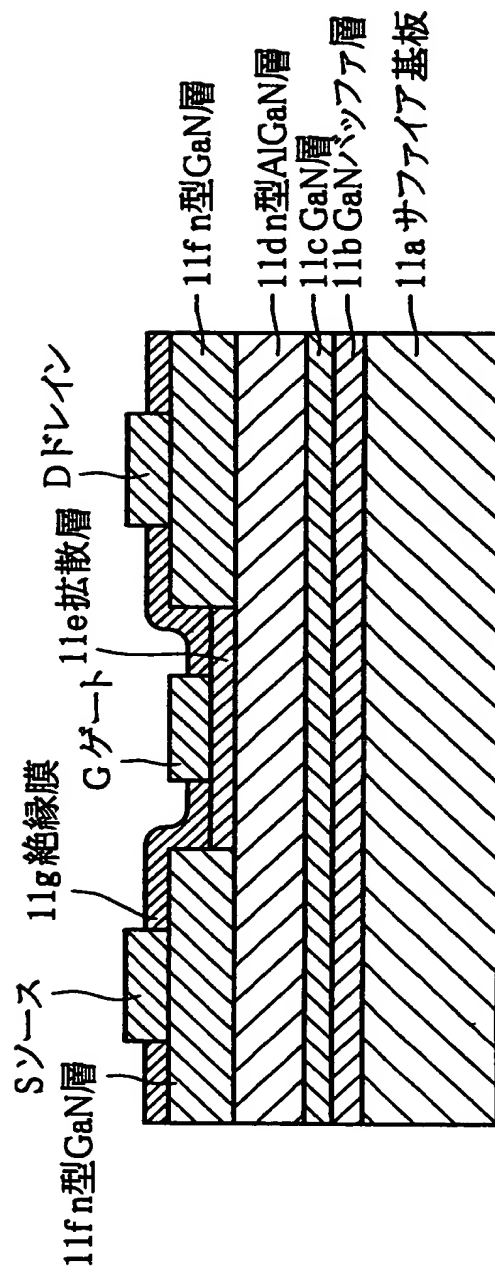
L1 コイル

【書類名】 図面

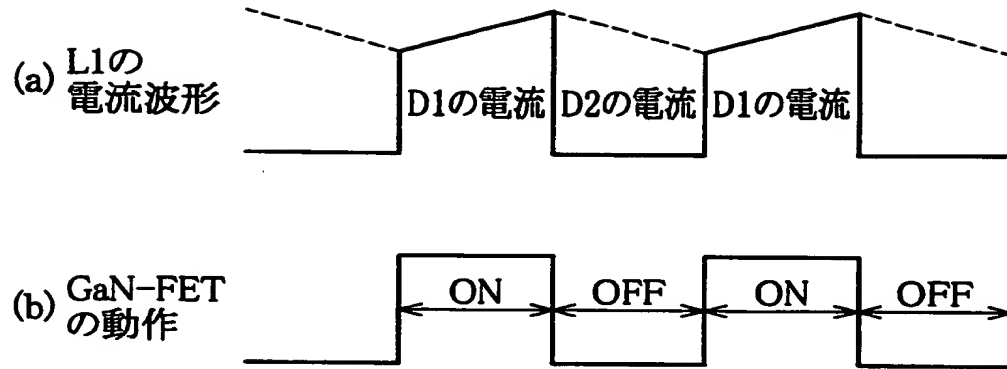
【図 1】



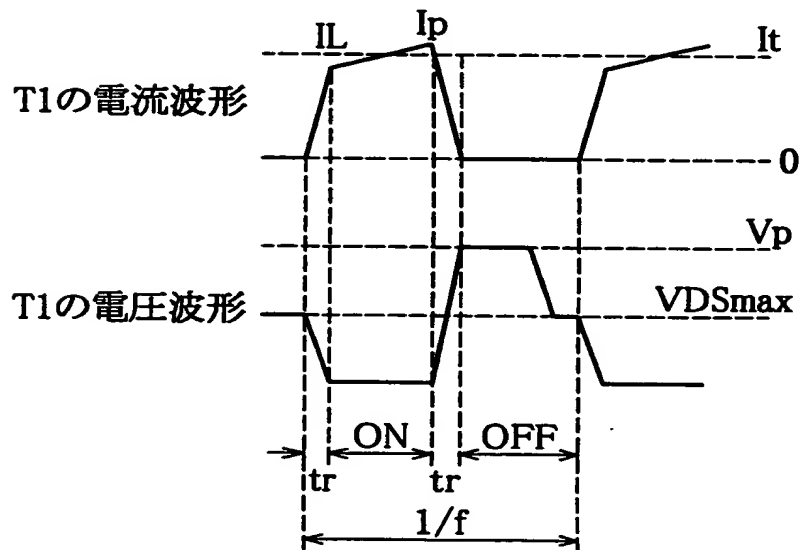
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 トランジスタの発熱を小さくして放熱板を不要とし、回路の小型、軽量化を図る。

【解決手段】 トランスT1の1次巻き線に印加される電圧をオン／オフ制御することによって、T1トランスの2次巻き線側に安定化された電源電圧を供給する電源回路にて、トランスT1の1次巻き線に発熱の小さいGaN-FET11を接続させ、GaN-FET11をゲート信号によってオン／オフ制御させて2次巻き線側に電源電圧を供給する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005290]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目6番1号

氏 名 古河電気工業株式会社